

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-117533

(43)Date of publication of application : 27.04.2001

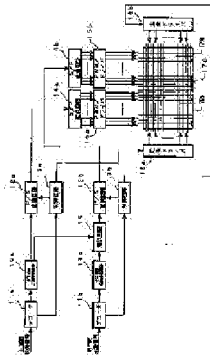
(51)Int.Cl. G09G 3/288

G09G 3/20

(21)Application number : 11-294967 (71)Applicant : VICTOR CO OF JAPAN
LTD

(22)Date of filing : 18.10.1999 (72)Inventor : YAMAGISHI NOBUYOSHI

(54) MATRIX TYPE PICTURE DISPLAY DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a matrix type picture display device capable of displaying even a plurality of pictures whose signal formats are different on a composite screen.

SOLUTION: A panel 170 is divided into two blocks 170a, 170b since row electrodes are divided roughly at the center part of the left and right side of the panel. Driving circuits which are respectively constituted of S/P conversion circuits 14a, 14b, pulse width modulator/drivers 15a, 15b and scanning drivers 16a, 16b and video signal processing circuits which process video signals which are to be displayed by the driving circuits and which are respectively constituted of decoders 11a, 11b to control circuits 13a, 13b are respectively provided with respect to the blocks 170a, 170b. Since this display device has horizontal and vertical compressing and expanding circuits 18a, 18b in the video signal

processing circuits, video signals are compressed or expanded in accordance with the pixels of the panel 170.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the matrix mold image display device equipped with the matrix mold display panel with which two or more pixels which have a line electrode and a train electrode and made the pixel the intersection of said line electrode and said train electrode have been arranged in the shape of a matrix The panel divided into two or more blocks as said matrix mold display panel by dividing either [at least] said line electrode or said train electrode is used. The matrix mold image display

device characterized by preparing and constituting the drive circuit which drives each block of said matrix mold display panel, and the video-signal processing circuit which processes the video signal which should be displayed by this drive circuit to said each of two or more blocks.

[Claim 2] The matrix mold image display device according to claim 1 which prepares horizontal or the level perpendicular compression expansion circuit compressed or elongated perpendicularly, constitutes said video signal in at least one of said the video-signal processing circuits, and is characterized by things.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention has a line electrode and a train electrode, relates to the matrix mold image display device equipped with the matrix mold display panel with which two or more pixels which made the intersection of a line electrode and a train electrode the pixel have been arranged in the shape of a matrix, and relates to the matrix mold image display device which can carry out a compound screen display of two or more images of a different signal format especially in a plasma display, a liquid crystal display, an electroluminescence display, a field emission display, etc.

[0002]

[Description of the Prior Art] As an example of the image display device which carries out a compound screen display, the configuration at the time of using a cathode-ray tube (CRT) is explained using drawing 5. In drawing 5, the main screen video signal and the synchronizing signal

(henceforth, input synchronizing signal) separated from this main screen video signal are inputted into the level compression circuit 1. The level compression circuit 1 outputs the synchronizing signal (henceforth, output synchronizing signal) which held fixed phase relation to the input synchronizing signal while it carries out compression processing horizontally and outputs the main screen picture signal. The main screen picture signal by which compression processing was carried out is inputted into one input terminal of the multiplexer circuit 4.

[0003] A sub-screen video signal and the synchronizing signal (henceforth, input synchronizing signal) separated from this sub-screen video signal are inputted into the scan converter circuit 2. The scan converter circuit 2 compresses a sub-screen video signal using the input synchronizing signal, and writes compressed data in an image memory 3. And the scan converter circuit 2 reads the output synchronizing signal from the level compression circuit 1, and reads compressed data from an image memory 3 as a synchronizing signal. Thereby, from the scan converter circuit 2, the sub-screen video signal which carried out phase simulation to the main screen video signal is outputted. The sub-screen picture signal by which synchronous conversion was carried out is inputted into another input terminal of the multiplexer circuit 4.

[0004] Within a level period, the multiplexer circuit 4 carries out time sharing of the main screen video signal by which level compression processing was carried out from the level compression circuit 1, and the sub-screen picture signal by which synchronous conversion was carried out from the scan converter circuit 2, and outputs it. The output of the multiplexer circuit 4 is inputted into CRT5. The output synchronizing signal from the level compression circuit 1 is inputted into a deflection circuit 6, and a deflection circuit 6 drives CRT5 to it.

Thereby, a compound screen display of the image by the main screen video signal and the image by the sub-screen picture signal is carried out to CRT5. In addition, in drawing 5, the main screen video signal and a sub-screen picture signal are a component signal or R and G, and a B signal, and are illustrating the signal as one line here.

[0005] Here, the concrete configuration of the level compression circuit 1 is explained using drawing 6. In drawing 6, the main screen video signal is horizontally compressed into predetermined size by level pre-filter 1a and level compression interpolation filter 1b, and the compressed data is written in Rhine memory 1c, and is read one by one. Level pre-filter 1a is for mitigating the clench noise generated with compression.

[0006] At this time, the level compression interpolation processing by

level compression interpolation filter 1b and write-in control of Rhine memory 1c are controlled by 1d of level compression control circuits based on the input synchronizing signal detached a synchronized part from the main screen video signal. Moreover, read-out control of Rhine memory 1c is read based on an input synchronizing signal, and is controlled by control circuit 1e. From read-out control circuit 1e, the output synchronizing signal whose frequency maintained the fixed phase to the input synchronizing signal, and corresponded is outputted outside. In addition, an input synchronizing signal and an output synchronizing signal consist of level and a Vertical Synchronizing signal, respectively.

[0007] Next, the concrete configuration of the scan converter circuit 2 is explained using drawing 7. In drawing 7, a sub-screen video signal is compressed into predetermined size by the level perpendicular direction with level perpendicular pre-filter 2a and level perpendicular compression interpolation filter 2b, and the compressed data is written in an image memory 3, and is read one by one. Level perpendicular pre-filter 2a is for mitigating the clench noise generated with compression. Level perpendicular pre-filter 2a and level perpendicular compression interpolation filter 2b build in the Rhine memory, respectively, and are made as [perform / vertical compression processing]. In addition, vertical compression processing is needed in order to display the number of Rhine of a sub-screen video signal [sub-screen / of the same magnitude / the main screen and sub-screen] according to the number of Rhine of the main screen video signal. Therefore, if the number of Rhine of a sub-screen video signal is the same as the number of Rhine of the main screen video signal, it is not necessary to perform vertical compression processing.

[0008] At this time, write-in control of level perpendicular compression interpolation filter 2b and an image memory 3 is controlled by level perpendicular compression control circuit 2c based on the input synchronizing signal detached a synchronized part from a sub-screen video signal. Moreover, read-out control of an image memory 3 is read based on the read-out synchronizing signal which is an output synchronizing signal from the level compression circuit 1, and is controlled by control circuit 2e.

[0009] Drawing 8 shows the example of a display of the compound screen displayed on CRT5. Here, the case where an aspect ratio uses the wide mold CRT of 16:9 is shown as CRT5, and the screen by the side of what the screen of the left-hand side in drawing depends on the main screen video signal, and drawing Nakamigi is based on a sub-screen video signal.

Horizontal frequency and a perpendicular frequency (field frequency) are 15.75kHz and 60Hz, respectively, and the main screen video signal compressed horizontally to a little more than 50% by the level compression circuit 1, and has compressed the vertical number of Rhine into 480 with the deviation-means by the deflection circuit 6. Moreover, synchronizing with the main screen video signal, a horizontal and a perpendicular frequency are 15.75kHz and 60Hz, respectively, and the sub-screen video signal also compressed horizontally to a little less than 50% by the scan converter circuit 2, and has compressed the vertical number of Rhine into 400.

[0010]

[Problem(s) to be Solved by the Invention] In the conventional image display device explained above, it has the following troubles. First, the compound screen display of an NTSC picture signal and personal computer picture signals (a personal computer picture signal is called hereafter), such as VGA (Video Graphics Array:31.5kHz), cannot be performed. The horizontal frequency of personal computer picture signals, such as VGA, is 30-40kHz beyond the twice or it to the horizontal frequency of an NTSC picture signal being 15.75kHz. Therefore, a personal computer picture signal is inputted into the level compression circuit 1, an NTSC picture signal can be inputted into the scan converter circuit 2, or an NTSC picture signal cannot be conversely inputted into the level compression circuit 1, and a personal computer picture signal cannot be inputted into the scan converter circuit 2. This is based on the following reasons.

[0011] The scan converter circuit 2 has changed the inputted video signal into the NTSC picture signal format in the specific format and the above-mentioned example. If a personal computer picture signal is inputted as a main screen video signal, since horizontal frequency is 31.5kHz, the output cannot carry out phase simulation of the scan converter circuit 2 where an output operates by about 15.75kHz. That is, with the configuration of drawing 5, in order that the output side of the scan converter circuit 2 may carry out phase simulation only near the horizontal frequency of an NTSC picture signal, it becomes conditions that the main screen video signal and a sub-screen video signal are NTSC picture signals. Thus, with the configuration of drawing 5, there was a trouble that a compound screen display of the video signal of a mutually different format could not be carried out.

[0012] Furthermore, with the configuration of drawing 5, when the frame or field frequency of the main screen video signal and a sub-screen video signal is different, if the frame (field) frequency is approaching

by fixed relation mutually or it does not synchronize, it cannot respond. passing/this is time in the writing and read-out actuation of a video signal in an image memory 3, if the frame (field) frequency is approaching by fixed relation mutually or does not synchronize -- it is because it will be passed and a phenomenon will occur.

[0013] The frequency which this phenomenon generates is related to the difference of the frame (field) frequency between the main screen video signal and a sub-screen video signal. If the frequency of a sub-screen video signal is high, and infanticide of a frame (field) has the low frequency of a sub-screen video signal conversely, duplication of a frame (field) will occur. Since the flow of a series of actuation was confused for a moment at the time of an animation, especially this phenomenon had become the cause of degrading image quality.

[0014] Furthermore, the personal computer picture signal had various formats, and there was also a trouble which must carry out adjustable [of the capacity of an image memory 3] according to a format in fixed method conversion. Moreover, there was also a trouble that it had to have beforehand the image memory 3 of the maximum capacity needed for method conversion.

[0015] Although the above example explained the case of the image display device which used CRT, if the technique of a conventional compound screen display is used for a matrix mold image display device as it is, it will have the completely same trouble as the above. It aims at offering the matrix mold image display device which this invention can be made in view of such a trouble, and can carry out a compound screen display of the mutually different image, and can carry out a compound screen display also of two or more images of a signal format which there was no image quality degradation, and the mass image memory was also unnecessary, and is different.

[0016]

[Means for Solving the Problem] In order that this invention may solve the technical problem of a Prior art mentioned above, it has a line electrode and a train electrode. In the matrix mold image display device equipped with the matrix mold display panel (170-172) with which two or more pixels which made the pixel the intersection of said line electrode and said train electrode have been arranged in the shape of a matrix The panel divided into two or more blocks (170a, 170b, 171a-171d, 172a, 172b) as said matrix mold display panel by dividing either [at least] said line electrode or said train electrode is used. The drive circuit which drives each block of said matrix mold display panel to said each of two or more blocks (14a-14d, 15a-15d, 20a, 20b, 21a, 21b, 22a, 22b),

The matrix mold image display device characterized by preparing and constituting the video-signal processing circuit (11a-13a, 11b-13b, A-D, A', B') which processes the video signal which should be displayed by this drive circuit is offered.

[0017]

[Embodiment of the Invention] Hereafter, the matrix mold image display device of this invention is explained with reference to an accompanying drawing. The block diagram in which drawing 1 shows the 1st example of the matrix mold image display device of this invention, the block diagram in which drawing 2 shows the 2nd example of the matrix mold image display device of this invention, the block diagram in which drawing 3 shows the 3rd example of the matrix mold image display device of this invention, and drawing 4 are the block diagrams showing the example of a fundamental configuration of a matrix mold image display device.

[0018] First, the fundamental configuration of a matrix mold image display device is explained using drawing 4. Here, the configuration and actuation using the field emission display panel driven by the line-sequential-scanning method as a matrix mold display panel are shown. The field emission display panel 17 (the following, panel 17) in drawing 4 has a line electrode and a train electrode, and two or more pixels which made the intersection of a line electrode and a train electrode the pixel are arranged in the shape of [of a m line x n train] a matrix. That is, it is the configuration of m display Rhine of n dots having been included in the display screen, and having prepared n train electrodes for m line electrodes for every train for every display Rhine of each line corresponding to this pixel array.

[0019] In drawing 4, a composite video signal is inputted into a decoder 11, and a decoder 11 separates and outputs a luminance signal (R, G, B) in three primary colors and level, and a Vertical Synchronizing signal. R, G, and B signal are inputted into parallel / serial (P/S) conversion circuit 12, and a horizontal and a Vertical Synchronizing signal are inputted into a control circuit 13.

[0020] It generates and a control circuit 13 supplies various kinds of timing signals which synchronized with the horizontal and the Vertical Synchronizing signal to each part of a circuit mentioned later, such as a train electrode drive circuit and a line electrode drive circuit. A control circuit 13 is initialized with a Vertical Synchronizing signal, and is equipped with the perpendicular address generation circuit which generates the perpendicular address by carrying out counting of the Horizontal Synchronizing signal, the dot clock generating circuit which

generates the dot clock which carried out phase simulation to the Horizontal Synchronizing signal, and the level address generation circuit which generates the level address by being initialized with a Horizontal Synchronizing signal and carrying out counting of the dot clock.

[0021] The P/S conversion circuit 12 generates the serial signal located in a line with the sequence corresponding to the list of each pixel (fluorescent substance) of a panel 17, and inputs it into a serial / parallel (S/P) conversion circuit 14. The inputted serial signal is changed into the parallel signal in every line in a panel 17, and the S/P conversion circuit 14 inputs it into a pulse width modulator (PWM) / driver 15. PWM / driver 15 generates the drive pulse which has the pulse width according to the brightness of R, G, and B signal, and supplies it to the train electrode of a panel 17. By this, a panel 17 is driven in the direction of a train. The S/P conversion circuit 14, and the PWM/driver 15 are the train electrode drive circuits of a panel 17.

[0022] The scan driver 16 generates the scan pulse for carrying out line sequential scanning of the panel 17 based on the horizontal from a control circuit 13, and the perpendicular address, and supplies it to the line electrode of a panel 17. By this, a panel 17 is driven to a line writing direction. The scan driver 16 is the line electrode drive circuit of a panel 17.

[0023] To a panel 17, in the line to which the scan driver 16 supplied the scan pulse alternatively, only the period [pixel / to which the drive pulse was supplied] according to the pulse width of a drive pulse emits an electron, and a fluorescent substance emits light from PWM / driver 15 by the above. By carrying out sequential migration of the line to which the scan driver 16 supplies a scan pulse, a panel 17 will be sequentially scanned by the line writing direction, and a two-dimensional image will be formed on a panel 17. In addition, when an electrical-potential-difference modulation is used instead of the pulse width modulation by PWM / driver 15, a drive pulse serves as an electrical-potential-difference value according to the brightness of a video signal.

[0024] Next, the 1st of the matrix mold image display device used as this invention - the 3rd example are explained in order.

[0025] The <1st example> The configuration of the panel used in the 1st example is explained first. In drawing 1 , by dividing a line electrode in the abbreviation center section on either side, the panel 170 is divided into two blocks at the longitudinal direction, and left-hand side block 170a and right-hand side block 170b are united, and it forms

one panel 170. And the description is to equip every block 170a on either side and 170b with a line electrode drive circuit and a train electrode drive circuit so that it may mention later. furthermore, block 170a -- the object for the main screens -- carrying out -- block 170b -- the blocks 170a and 170b the object for sub-screens then the object for the main screens, and for sub-screens -- the description is for it to have been alike, respectively and have prepared independently the video-signal processing circuit for main screen video signals, and the video-signal processing circuit for sub-screen video signals. By this, as for the blocks 170a and 170b on either side, an image will be displayed independently, respectively.

[0026] In drawing 1, the composite video signal which is the main screen video signal is inputted into decoder 11a, and decoder 11a separates and outputs a luminance signal (R, G, B) in three primary colors and level, and a Vertical Synchronizing signal. R, G, and B signal are inputted into level perpendicular compression expansion circuit 18a. Level perpendicular compression expansion circuit 18a compresses or elongates R and G which were inputted, and B signal to horizontal or a perpendicular direction according to the number of pixels of block 170a for the main screens. The output of level perpendicular compression expansion circuit 18a is inputted into P/S conversion circuit 12a and a selection circuitry 19.

[0027] Decoder 11a, level perpendicular compression expansion circuit 18a, P/S conversion circuit 12a, and control circuit 13a are video-signal processing circuits which process the main screen video signal. S/P conversion circuit 14a, and PWM/driver 15a are train electrode drive circuits which drive block 170a for the main screens, and scan driver 16a is a line electrode drive circuit which drives block 170a for the main screens. Since actuation of P/S conversion circuit 12a, control circuit 13a, S/P conversion circuit 14a, PWM/driver 15a, and scan driver 16a is the same as that of drawing 4, the explanation is omitted. Actuation of a selection circuitry 19 is mentioned later.

[0028] On the other hand, the composite video signal which is a sub-screen video signal is inputted into decoder 11b, and decoder 11b separates and outputs a luminance signal (R, G, B) in three primary colors and a horizontal, and a Vertical Synchronizing signal. R, G, and B signal are inputted into level perpendicular compression expansion circuit 18b. Level perpendicular compression expansion circuit 18b compresses or elongates R and G which were inputted, and B signal to horizontal or a perpendicular direction according to the number of pixels of block 170b for sub-screens. The output of level perpendicular

compression expansion circuit 18b is inputted into P/S conversion circuit 12b through a selection circuitry 19.

[0029] Decoder 11b, level perpendicular compression expansion circuit 18b, P/S conversion circuit 12b, and control circuit 13b are video-signal processing circuits which process a sub-screen video signal. S/P conversion circuit 14b, and PWM/driver 15b are train electrode drive circuits which drive block 170b for sub-screens, and scan driver 16b is a line electrode drive circuit which drives block 170b for sub-screens. Since actuation of P/S conversion circuit 12b, control circuit 13b, S/P conversion circuit 14b, PWM/driver 15b, and scan driver 16b is the same as that of drawing 4, the explanation is omitted.

[0030] In the above configuration, in order to display the compound screen of the main screen video signal and a sub-screen video signal on a panel 170, a selection circuitry 19 chooses the output of level perpendicular compression expansion circuit 18b, and supplies it to P/S conversion circuit 12b. In this case, the main screen video signal will be displayed on left-hand side block 170a, and a sub-screen video signal will be displayed on right-hand side block 170b. Since the video-signal processing circuit for the main screen video signals and the video-signal processing circuit for sub-screen video signals have been independent from the input stage, synchronous transform processing at the time of carrying out a compound screen display is completely unnecessary. Therefore, even if formats with the main screen video signal and a sub-screen video signal differ like the NTSC picture signal and the personal computer picture signal and horizontal frequency differs from the frame (field) frequency, a compound screen can be displayed without image quality degradation. Moreover, the image memory for synchronous transform processing is also unnecessary.

[0031] Furthermore, a single screen can also be displayed in the above configuration. In order to display the main screen video signal on a panel 170 as a single screen, a selection circuitry 19 chooses the output of level perpendicular compression expansion circuit 18a, and should just supply it to P/S conversion circuit 12b. R and G which were inputted according to the number of pixels of the panel 170 whole in level perpendicular compression expansion circuit 18a, and B signal are compressed or elongated to horizontal or a perpendicular direction. And the signal of the part which should be displayed on block 170a is inputted into P/S conversion circuit 12a as it is, and the signal of the part which should be displayed on block 170b is inputted into P/S conversion circuit 12b through a selection circuitry 19. A single screen can also be displayed by this.

[0032] It is divided in the abbreviation center section of right and left of a line electrode, and the train electrode is also divided in the up-and-down abbreviation center section, and the panel 171 used in the 2nd example shown in <2nd example> drawing 2 is divided into four blocks. Block 171d by the side of block 171a by the side of the upper left, block 171b by the side of the upper right, block 171c by the side of the lower left, and the lower right is united, and one panel 171 is formed. and four blocks 171 -- every a-171d -- a line electrode drive circuit and a train electrode drive circuit -- having -- four blocks 171 -- the description is to have boiled a-171d, respectively and have prepared independently the video-signal processing circuit for a main screen video signal or sub-screen video signals. By this, as for four blocks 171a-171d, an image will be displayed independently, respectively.

[0033] In drawing 2 , the video-signal processing circuit A for the main screen video signals which consists of decoder 11a, level perpendicular compression expansion circuit 18a, P/S conversion circuit 12a, and control circuit 13a is connected to the line electrode drive circuit which consists of a train electrode drive circuit which consists of S/P conversion circuit 14a, and PWM/driver 15a which drives block 171a by the side of the upper left, and scan driver 16a. The video-signal processing circuit B for the 1st sub-screen video signal is connected to the line electrode drive circuit which consists of a train electrode drive circuit which consists of S/P conversion circuit 14b, and PWM/driver 15b which drives block 171b by the side of the upper right, and scan driver 16b.

[0034] Furthermore, the video-signal processing circuit C for the 2nd sub-screen video signal is connected to the line electrode drive circuit which consists of a train electrode drive circuit which consists of S/P conversion circuit 14c, and PWM/driver 15c which drives block 171c by the side of the lower left, and scan driver 16c. The video-signal processing circuit D for the 3rd sub-screen video signal is connected to the line electrode drive circuit which consists of a train electrode drive circuit and scan driver 16d which consists of PWM/14d [of S/P conversion circuits which drive panel 171d by the side of the lower right], and driver 15d. In addition, the configuration of video-signal processing circuit B-D for sub-screen video signals is the same as that of the video-signal processing circuit A for the main screen video signals.

[0035] Although divided the line electrode, the panel was divided into two at right and left, the both sides of a line electrode and a train electrode were divided in the 2nd example and the panel was quadrisected

in the above example [1st], a train electrode may be divided, a panel may be divided into two up and down, either [at least / still more] a line electrode or a train electrode may be divided, and a panel may be further divided into many of two or more blocks. Moreover, the magnitude of each block of the divided panel may be changed mutually. What is necessary is just to set up the number of partitions and the method of division suitably that what is necessary is just to determine by how how it divides displays the main screen video signal and a sub-screen video signal. Furthermore, in each blocks [170a 170b, 171a-171d] either, if the video signal to display is fixed, it is necessary to establish a level perpendicular compression expansion circuit in no video-signal processing circuits.

[0036] Although the 1st and 2nd example of <the 3rd example> explained the indicating equipment which used the panel of a line-sequential-scanning method, the 3rd example shows the case of the indicating equipment of a field progressive broadcasting method like a plasma display panel. Since the drive approach of a plasma display panel is learned well, a detail [****] is omitted here. The plasma display panel has 3 electrode structures of an address electrode, X electrode, and Y electrode, performs an address drive with a train electrode and one line electrode, impresses alternating voltage to X of a line writing direction, and Y inter-electrode after that, and displays by performing maintenance discharge.

[0037] In the former, to having pulled out X and Y electrode to right and left of a plasma display panel, as this invention is shown in drawing 3 , an electrode is disconnected and divided in the abbreviation center section, and it considers as the structure which pulls out X and Y electrode right and left.

[0038] In drawing 3 , by dividing a line electrode in the abbreviation center section on either side, the plasma display panel 172 (the following, panel 172) is divided into two blocks at the longitudinal direction, and left-hand side block 172a and right-hand side block 172b are united, and it forms one panel 172. Address driver 20a is connected to left-hand side block 172a, and address driver 20b is connected to right-hand side block 172b. X driver 21a and Y driver 22a are connected to the line writing direction of an electrode by turns at left-hand side block 172a, and X driver 21b and Y driver 22b are connected also to right-hand side block 172b by turns at the line writing direction of an electrode. and the blocks 172a and 172b on either side -- it was alike, respectively and video-signal processing circuit A' for main screen video signals and video-signal processing circuit B' for sub-screen

video signals are prepared independently. By this, as for the blocks 172a and 172b on either side, an image will be displayed independently, respectively.

[0039] By the way, since a train electrode drive circuit is only divided into a longitudinal direction like the 1st and 3rd example when only the line electrode of a panel 170,172 is divided, the number of the integrated circuits (IC) which constitute a train electrode drive circuit is substantially [as the former] the same, and does not serve as a cost rise. Since a line electrode drive circuit is needed with the blocks 170a, 170b, 172a, and 172b on either side, the number of ICs which constitute a line electrode drive circuit becomes twice. However, the secondary effect that the voltage drop by line electrode resistance can be made into one half is done so.

[0040]

[Effect of the Invention] As explained to the detail above, the matrix mold image display device of this invention The panel divided into two or more blocks by dividing either [at least] a line electrode or a train electrode as a matrix mold display panel is used. Since the drive circuit which drives each block of a matrix mold display panel, and the video-signal processing circuit which processes the video signal which should be displayed by this drive circuit were prepared and constituted to two or more blocks of each, an image which is mutually different with two or more blocks can be displayed. Moreover, a compound screen display also of two or more images of a different signal format can be carried out like an NTSC picture signal and a personal computer picture signal like [there is no image quality degradation, and / a mass image memory is also unnecessary and] an interlace signal and a non-interlaced signal in level differing from vertical scan frequency mutually.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the 1st example of this invention.

[Drawing 2] It is the block diagram showing the 2nd example of this invention.

[Drawing 3] It is the block diagram showing the 3rd example of this invention.

[Drawing 4] It is the block diagram showing the example of a fundamental configuration of a matrix mold image display device.

[Drawing 5] It is the block diagram showing the example of a configuration of the image display device which carries out a compound screen display using a cathode-ray tube.

[Drawing 6] It is the block diagram showing the concrete configuration of the level compression circuit 1 in drawing 5 .

[Drawing 7] It is the block diagram showing the concrete configuration of the scan converter circuit 2 in drawing 5 .

[Drawing 8] It is drawing showing the example of a display of a compound screen.

[Description of Notations]

11a, 11b Decoder

12a, 12b Parallel/serial-conversion circuit

13a, 13b Control circuit

14a-14d Serial/parallel-conversion circuit (train drive circuit)

15a-15d A pulse width modulator/driver (train drive circuit)

16a-16d Scan driver (line drive circuit)

18a, 18b Level perpendicular compression expansion circuit

19 Selection Circuitry

20a, 20b Address driver

21a, 21b X driver

22a, 22b Y driver

170-172 Matrix mold display panel

170a, 170b, 171a-171d, 172a, 172b Block

A-D, A', B' Video-signal processing circuit

[Translation done.]

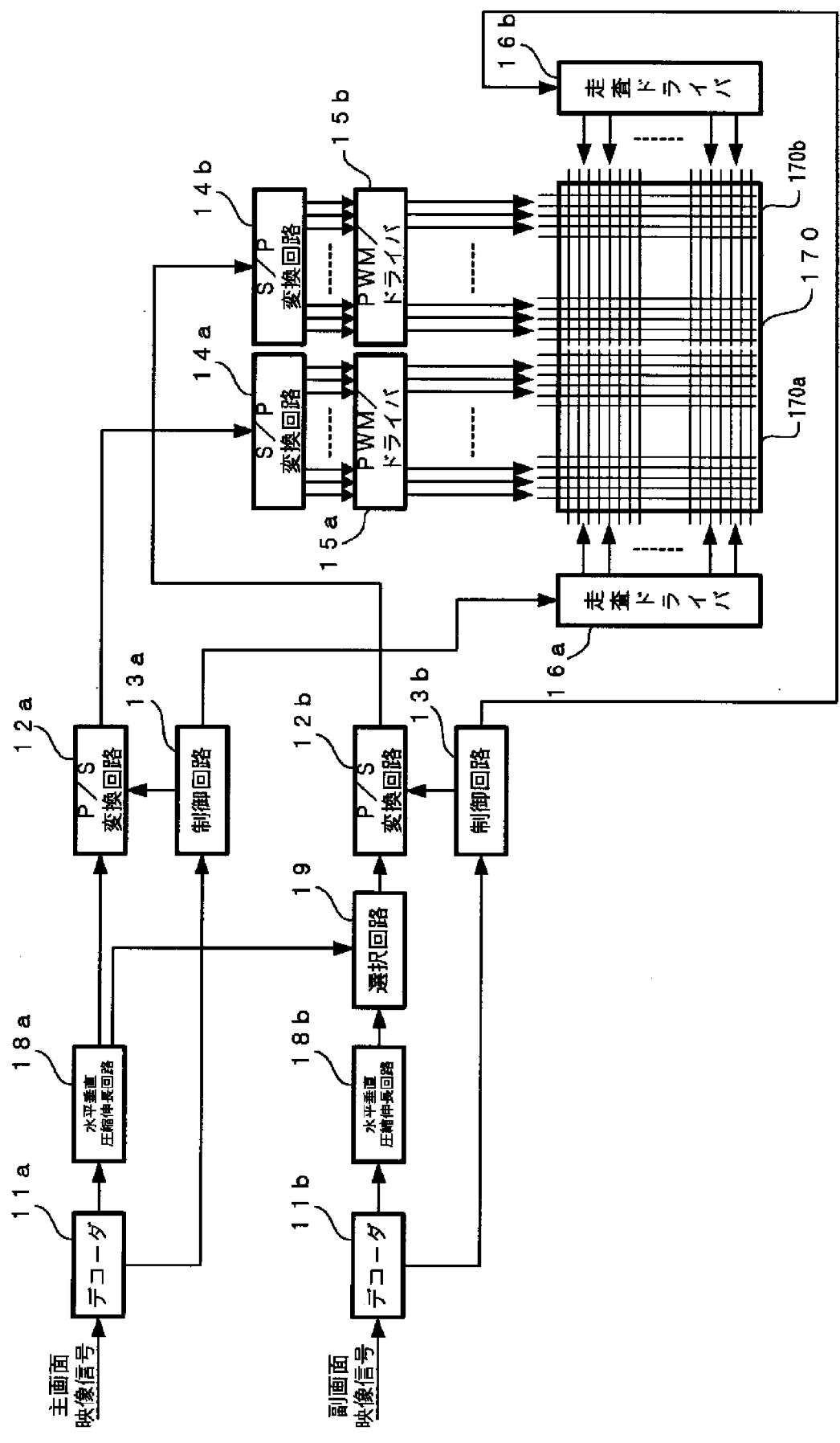
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

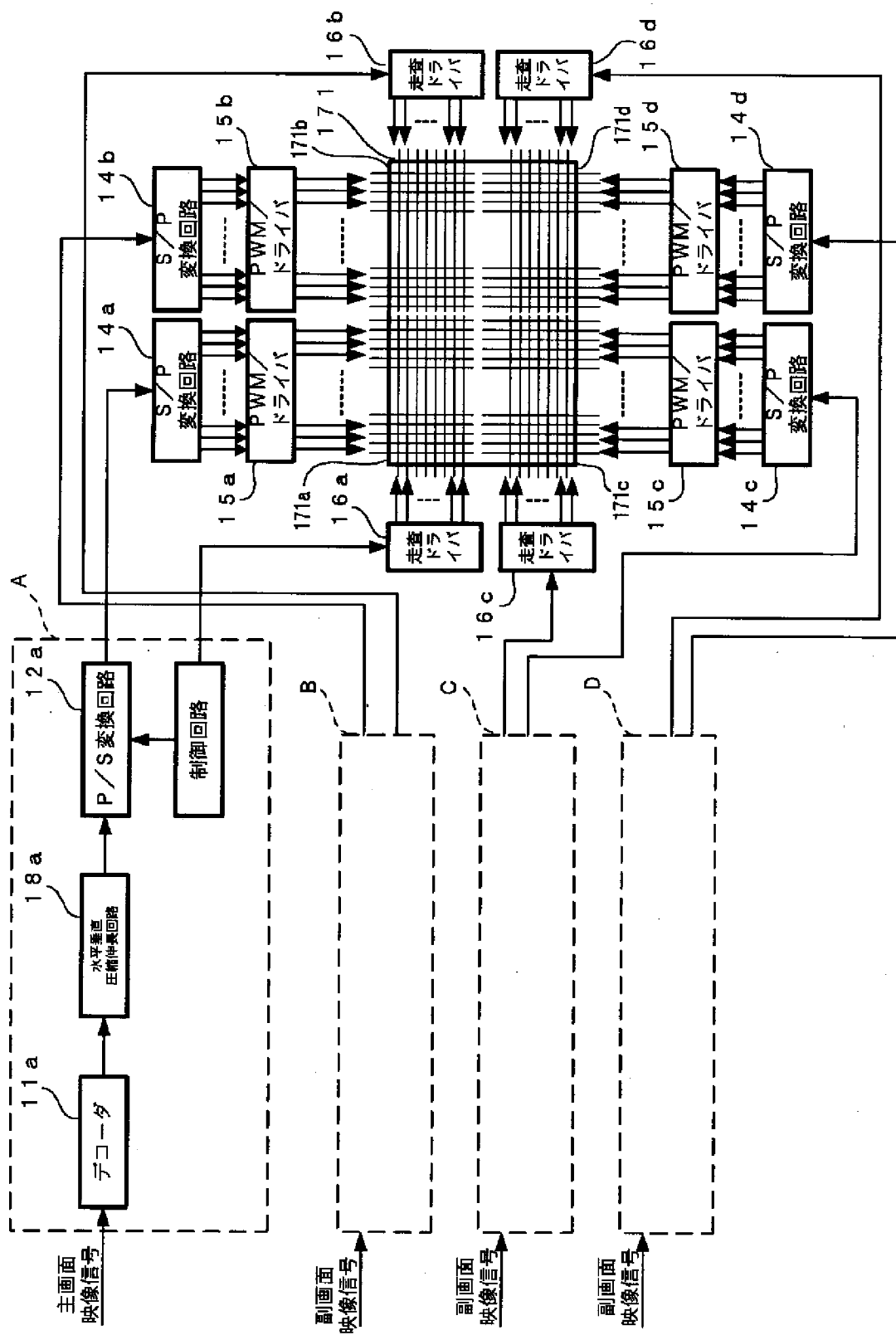
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

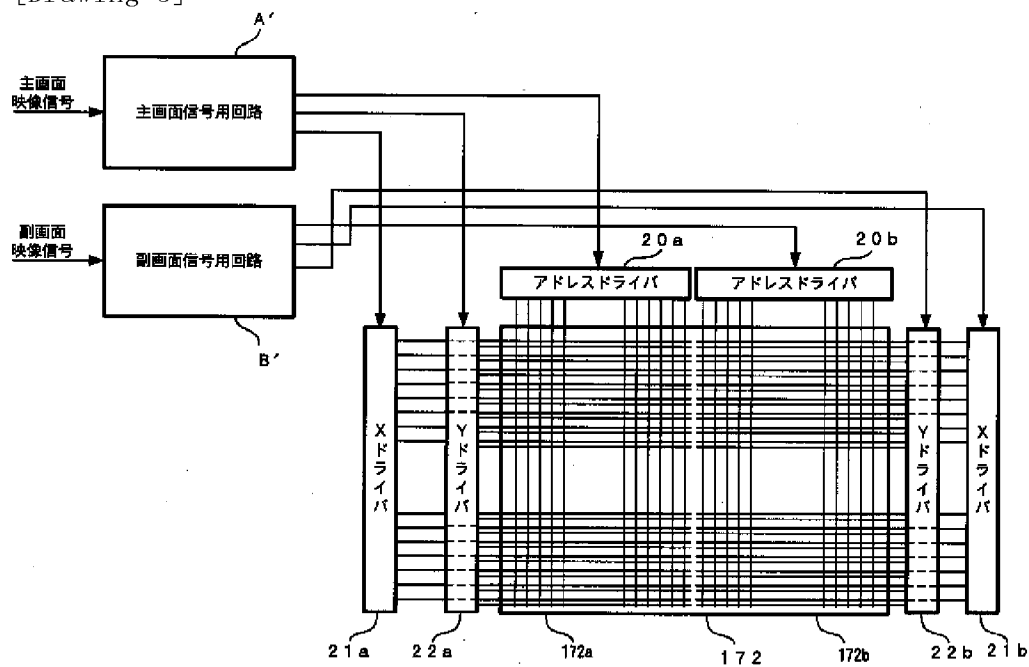
[Drawing 1]



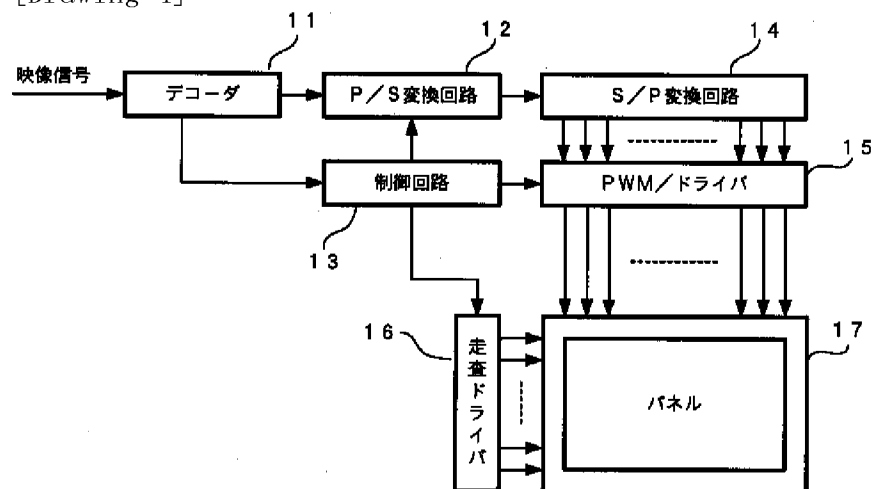
[Drawing 2]



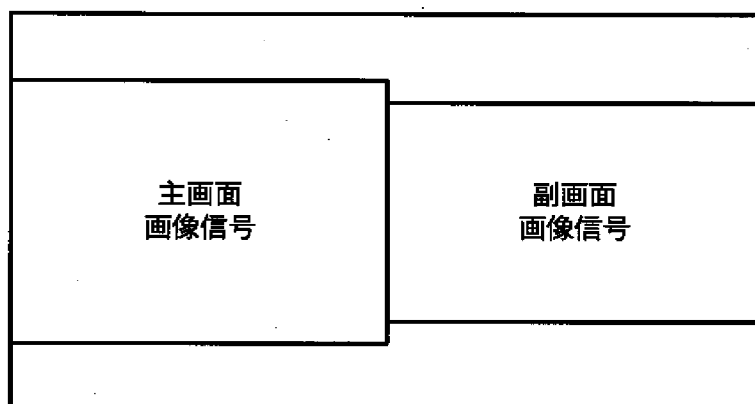
[Drawing 3]



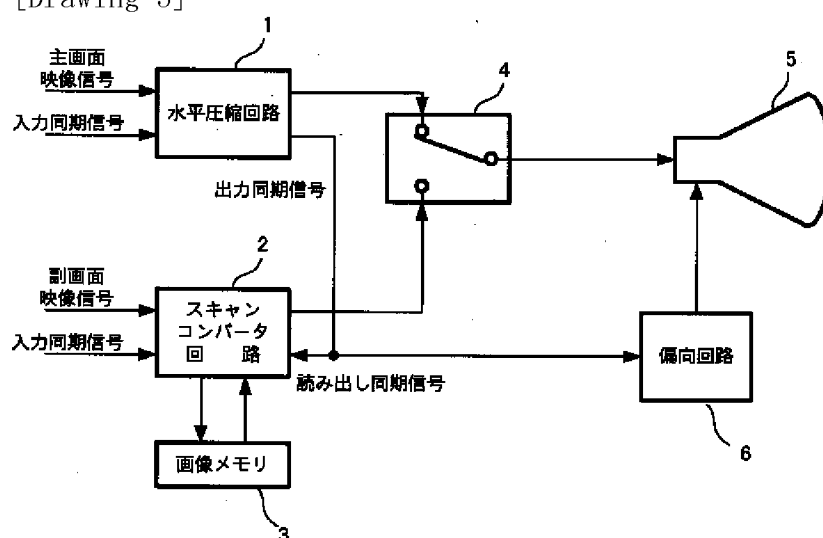
[Drawing 4]



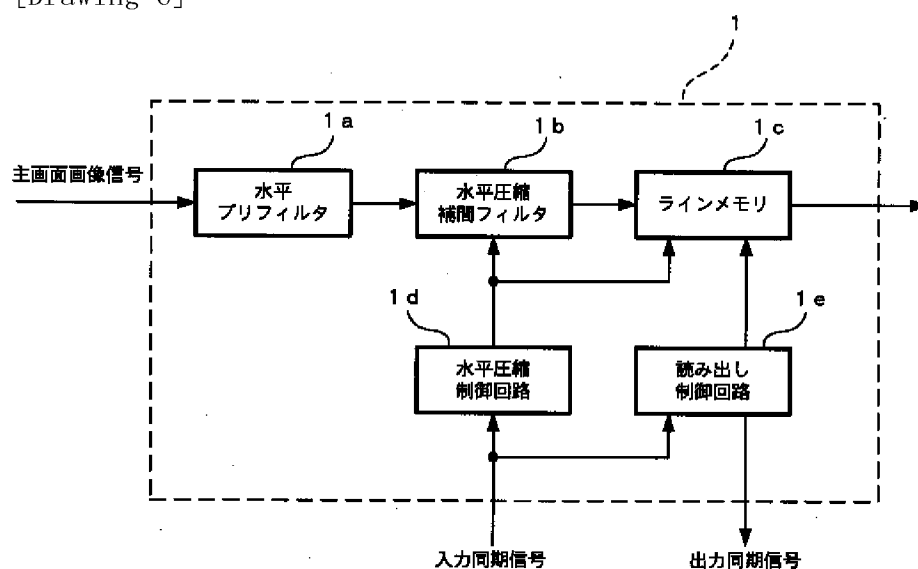
[Drawing 8]



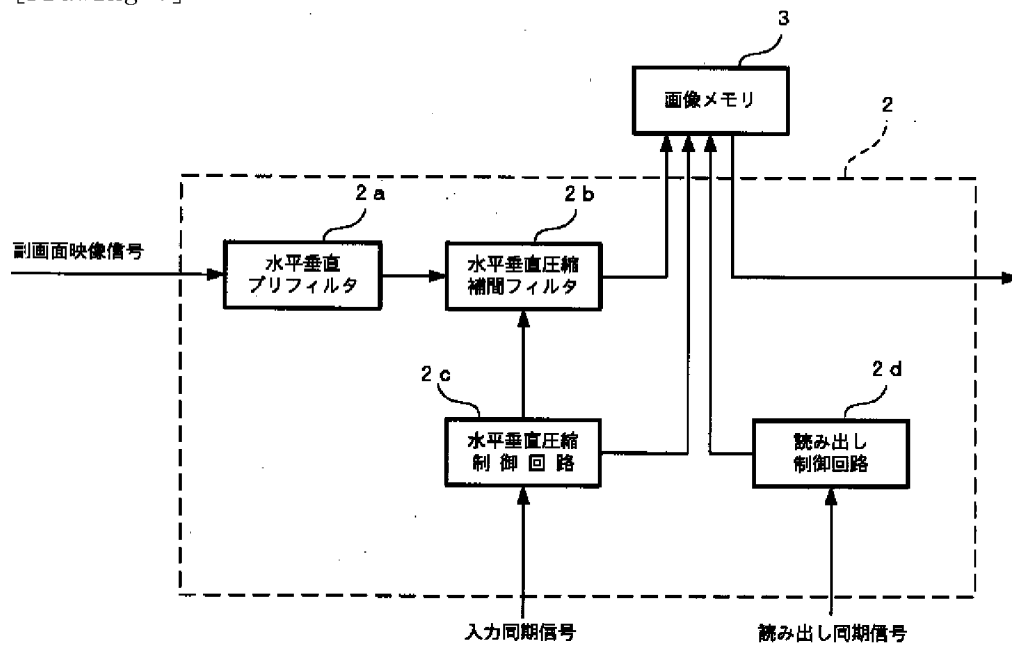
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-117533
(P2001-117533A)

(43)公開日 平成13年4月27日(2001.4.27)

(51)Int.Cl.⁷

G 0 9 G 3/288
3/20

識別記号

6 2 1

F I

G 0 9 G 3/20
3/28

ターミナル* (参考)

6 2 1 E 5 C 0 8 0
B

審査請求 未請求 請求項の数2 O L (全 11 頁)

(21)出願番号 特願平11-294967

(22)出願日 平成11年10月18日(1999.10.18)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番
地

(72)発明者 山岸 信義

神奈川県横浜市神奈川区守屋町3丁目12番
地 日本ビクター株式会社内

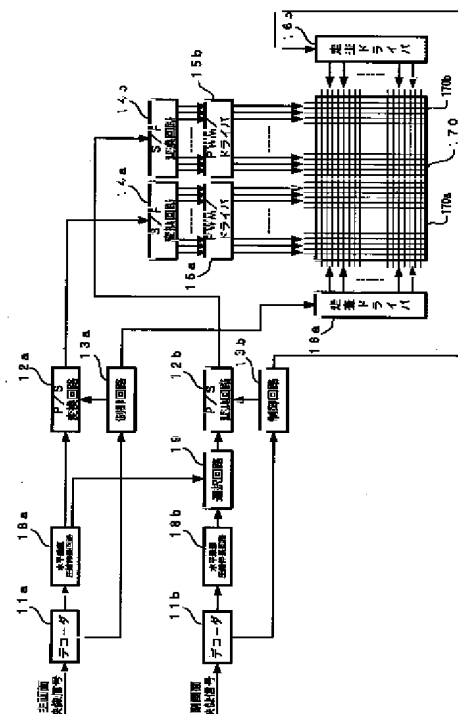
Fターム(参考) 5C080 AA05 AA06 AA10 AA18 DD30
EE14 FF12 JJ01 JJ02 KK02
KK43

(54)【発明の名称】 マトリクス型画像表示装置

(57)【要約】

【課題】 異なった信号フォーマットの複数の画像も複
合画面表示することができるマトリクス型画像表示装置
を提供する。

【解決手段】 パネル170は、行電極が左右の略中央
部で分断されて2つのブロック170a、170bに分割されて
いる。ブロック170a、170bそれぞれに
対し、S/P変換回路14a、14bとパルス幅変調器
／ドライバ15a、15bと走査ドライバ16a、16
bよりなる駆動回路と、この駆動回路によって表示すべ
き映像信号を処理するデコーダ11a、11b〜制御回
路13a、13bよりなる映像信号処理回路を設けてい
る。水平垂直圧縮伸長回路18a、18bを有すること
により、パネル170の画素に合わせて映像信号を圧縮
伸長する。



【特許請求の範囲】

【請求項1】行電極及び列電極を有し、前記行電極と前記列電極との交点を画素とした複数の画素がマトリクス状に配置されたマトリクス型表示パネルを備えたマトリクス型画像表示装置において、
前記マトリクス型表示パネルとして、前記行電極及び前記列電極の少なくとも一方を分断することにより複数のブロックに分割したパネルを用い、
前記複数のブロックそれぞれに対し、前記マトリクス型表示パネルの各ブロックを駆動する駆動回路と、この駆動回路によって表示すべき映像信号を処理する映像信号処理回路とを設けて構成したことを特徴とするマトリクス型画像表示装置。

【請求項2】前記映像信号処理回路の少なくとも1つに、前記映像信号を水平方向もしくは垂直方向に圧縮もしくは伸長する水平垂直圧縮伸長回路を設けて構成したことを特徴とする請求項1記載のマトリクス型画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、行電極及び列電極を有し、行電極と列電極との交点を画素とした複数の画素がマトリクス状に配置されたマトリクス型表示パネルを備えたマトリクス型画像表示装置に係り、特に、プラズマディスプレイ、液晶ディスプレイ、エレクトロルミネッセンスディスプレイ、電界放出ディスプレイ等において、異なった信号フォーマットの複数の画像を複合画面表示することができるマトリクス型画像表示装置に関する。

【0002】

【従来の技術】複合画面表示する画像表示装置の例として、陰極線管（CRT）を用いた場合の構成について、図5を用いて説明する。図5において、水平圧縮回路1には、主画面映像信号と、この主画面映像信号より分離した同期信号（以下、入力同期信号）が入力される。水平圧縮回路1は、主画面映像信号を水平方向に圧縮処理して出力すると共に、入力同期信号に対して一定の位相関係を保持した同期信号（以下、出力同期信号）を出力する。圧縮処理された主画面映像信号は、マルチプレクサ回路4の一方の入力端子に入力される。

【0003】スキャンコンバータ回路2には、副画面映像信号と、この副画面映像信号より分離した同期信号（以下、入力同期信号）が入力される。スキャンコンバータ回路2は、その入力同期信号を用いて副画面映像信号を圧縮し、圧縮データを画像メモリ3に書き込む。そして、スキャンコンバータ回路2は、水平圧縮回路1からの出力同期信号を読み出し同期信号として画像メモリ3より圧縮データを読み出す。これにより、スキャンコンバータ回路2からは、主画面映像信号に位相同期した副画面映像信号が出力される。同期変換された副画面画

像信号は、マルチプレクサ回路4のもう一方の入力端子に入力される。

【0004】マルチプレクサ回路4は、水平圧縮回路1からの水平圧縮処理された主画面映像信号と、スキャンコンバータ回路2からの同期変換された副画面映像信号とを水平期間内で時分割して出力する。マルチプレクサ回路4の出力はCRT5に入力される。偏向回路6には、水平圧縮回路1からの出力同期信号が入力され、偏向回路6はCRT5をドライブする。これにより、CRT5には、主画面映像信号による画像と副画面映像信号による画像とが複合画面表示される。なお、図5において、主画面映像信号や副画面映像信号はコンポーネント信号またはR、G、B信号であり、ここでは信号を1系統として図示している。

【0005】ここで、水平圧縮回路1の具体的構成について、図6を用いて説明する。図6において、主画面映像信号は、水平プリフィルタ1a及び水平圧縮補間フィルタ1bによって水平方向に所定のサイズに圧縮され、その圧縮データはラインメモリ1cに書き込まれて順次読み出される。水平プリフィルタ1aは、圧縮に伴って発生する折り返しノイズを軽減するためのものである。

【0006】このとき、水平圧縮補間フィルタ1bによる水平圧縮補間処理及びラインメモリ1cの書き込み制御は、主画面映像信号より同期分離された入力同期信号に基づいて水平圧縮制御回路1dによって制御される。また、ラインメモリ1cの読み出し制御は、入力同期信号に基づいて読み出し制御回路1eによって制御される。読み出し制御回路1eからは、入力同期信号に対して一定の位相を保ち周波数が一致した出力同期信号が外部に出力される。なお、入力同期信号及び出力同期信号はそれぞれ水平、垂直同期信号からなる。

【0007】次に、スキャンコンバータ回路2の具体的構成について、図7を用いて説明する。図7において、副画面映像信号は、水平垂直プリフィルタ2a及び水平垂直圧縮補間フィルタ2bによって水平垂直方向に所定のサイズに圧縮され、その圧縮データは画像メモリ3に書き込まれて順次読み出される。水平垂直プリフィルタ2aは、圧縮に伴って発生する折り返しノイズを軽減するためのものである。水平垂直プリフィルタ2a及び水平垂直圧縮補間フィルタ2bはそれぞれラインメモリを内蔵しており、垂直方向の圧縮処理を行うようになっている。なお、垂直方向の圧縮処理は、副画面映像信号のライン数を主画面映像信号のライン数に合わせて、同じ大きさの主画面と副画面とを並べて表示するために必要となる。従って、副画面映像信号のライン数が主画面映像信号のライン数と同一であれば、垂直方向の圧縮処理を行う必要はない。

【0008】このとき、水平垂直圧縮補間フィルタ2b及び画像メモリ3の書き込み制御は、副画面映像信号より同期分離された入力同期信号に基づいて水平垂直圧縮

制御回路2cによって制御される。また、画像メモリ3の読み出し制御は、水平圧縮回路1からの出力同期信号である読み出し同期信号に基づいて読み出し制御回路2eによって制御される。

【0009】図8はCRT5に表示される複合画面の表示例を示す。ここで、CRT5として、アスペクト比が16:9のワイド型CRTを用いた場合を示しており、図中左側の画面が主画面映像信号によるもの、図中右側の画面が副画面映像信号によるものである。主画面映像信号は、水平周波数、垂直周波数（フィールド周波数）がそれぞれ15.75kHz、60Hzであり、水平圧縮回路1によって水平方向を50パーセント強に圧縮し、偏向回路6による偏向的手段によって垂直方向のライン数を480本に圧縮している。また、副画面映像信号も主画面映像信号に同期して水平、垂直周波数がそれぞれ15.75kHz、60Hzであり、スキャンコンバータ回路2によって水平方向を50パーセント弱に圧縮し、垂直方向のライン数を400本に圧縮している。

【0010】

【発明が解決しようとする課題】以上説明した従来の画像表示装置においては、次のような問題点を有している。まず、NTSC画像信号とVGA（Video Graphics Array: 31.5kHz）等のパーソナルコンピュータ画像信号（以下、パソコン画像信号と称す）との複合画面表示ができない。NTSC画像信号の水平周波数が15.75kHzであるのに対し、VGA等のパソコン画像信号の水平周波数はその2倍もしくはそれ以上の30~40kHzである。従って、水平圧縮回路1にパソコン画像信号を入力し、スキャンコンバータ回路2にNTSC画像信号を入力したり、逆に、水平圧縮回路1にNTSC画像信号を入力し、スキャンコンバータ回路2にパソコン画像信号を入力することはできない。これは、以下の理由による。

【0011】スキャンコンバータ回路2は、入力された映像信号を特定のフォーマット、上記の例ではNTSC画像信号フォーマットに変換している。主画面映像信号としてパソコン画像信号を入力すると、その出力は水平周波数が31.5kHzであるので、出力が15.75kHz近傍で動作するスキャンコンバータ回路2を位相同期させることができない。即ち、図5の構成では、スキャンコンバータ回路2の出力側がNTSC画像信号の水平周波数近傍にのみ位相同期するため、主画面映像信号と副画面映像信号共にNTSC画像信号であることが条件となる。このように、図5の構成では、互いに異なったフォーマットの映像信号を複合画面表示できないという問題点があった。

【0012】さらに、主画面映像信号と副画面映像信号とのフレームまたはフィールド周波数が異なる場合、図5の構成では、フレーム（フィールド）周波数が互いに一定の関係で接近しているか、または、同期していな

ければ対応することができない。これは、フレーム（フィールド）周波数が互いに一定の関係で接近しているか、または、同期していなければ、画像メモリ3における映像信号の書き込み及び読み出し動作で時間的な追い越し／追い越され現象が発生することになるからである。

【0013】この現象が発生する頻度は、主画面映像信号と副画面映像信号との間のフレーム（フィールド）周波数の差に関係する。副画面映像信号の周波数が高いとフレーム（フィールド）の間引きが、逆に、副画面映像信号の周波数が低いとフレーム（フィールド）の重複が発生する。この現象は、特に動画のときに一連の動作の流れが一瞬乱れるため、画質を劣化させる原因となっていた。

【0014】さらに、パソコン画像信号には種々のフォーマットがあり、一定の方式変換では、画像メモリ3の容量をフォーマットに従って可変しななければならない問題点もあった。また、方式変換に必要とする最大の容量の画像メモリ3を予め備えなければならないという問題点もあった。

【0015】以上の例では、CRTを用いた画像表示装置の場合について説明したが、従来の複合画面表示の手法をそのままマトリクス型画像表示装置に用いれば、上記と全く同様の問題点を有することとなる。本発明はこのような問題点に鑑みなされたものであり、互いに異なった画像を複合画面表示することができ、また、画質劣化なく、大容量の画像メモリも必要なく、異なった信号フォーマットの複数の画像も複合画面表示することができるマトリクス型画像表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上述した従来の技術の課題を解決するため、行電極及び列電極を有し、前記行電極と前記列電極との交点を画素とした複数の画素がマトリクス状に配置されたマトリクス型表示パネル（170~172）を備えたマトリクス型画像表示装置において、前記マトリクス型表示パネルとして、前記行電極及び前記列電極の少なくとも一方を分断することにより複数のブロック（170a, 170b, 171a~171d, 172a, 172b）に分割したパネルを用い、前記複数のブロックそれぞれに対し、前記マトリクス型表示パネルの各ブロックを駆動する駆動回路（14a~14d, 15a~15d, 20a, 20b, 21a, 21b, 22a, 22b）と、この駆動回路によって表示すべき映像信号を処理する映像信号処理回路（11a~13a, 11b~13b, A~D, A', B'）とを設けて構成したことを特徴とするマトリクス型画像表示装置を提供するものである。

【0017】

【発明の実施の形態】以下、本発明のマトリクス型画像表示装置について、添付図面を参照して説明する。図1

は本発明のマトリクス型画像表示装置の第1実施例を示すブロック図、図2は本発明のマトリクス型画像表示装置の第2実施例を示すブロック図、図3は本発明のマトリクス型画像表示装置の第3実施例を示すブロック図、図4はマトリクス型画像表示装置の基本的構成例を示すブロック図である。

【0018】まず、図4を用いてマトリクス型画像表示装置の基本的構成について説明する。ここでは、マトリクス型表示パネルとして線順次走査方式にて駆動する電界放出ディスプレイパネルを用いた構成及び動作について示す。図4中の電界放出ディスプレイパネル17（以下、パネル17）は、行電極及び列電極を有し、行電極と列電極との交点を画素とした複数の画素が m 行 \times n 列のマトリクス状に配設されている。即ち、表示画面には n ドットの表示ラインが m 本含まれ、この画素配列に対応して、各行の表示ライン毎に m 本の行電極を、各列毎に n 本の列電極を設けた構成である。

【0019】図4において、デコーダ11にはコンポジット映像信号が入力され、デコーダ11は、3原色の輝度信号（R、G、B）及び水平、垂直同期信号を分離して出力する。R、G、B信号はパラレル／シリアル（P／S）変換回路12に入力され、水平、垂直同期信号は制御回路13に入力される。

【0020】制御回路13は、水平、垂直同期信号に同期した各種のタイミング信号を発生し、後述する列電極駆動回路や行電極駆動回路等の回路各部に供給する。制御回路13は、垂直同期信号で初期化され、水平同期信号を計数することによって垂直アドレスを発生する垂直アドレス発生回路と、水平同期信号に位相同期したドットクロックを発生するドットクロック発生回路と、水平同期信号で初期化され、ドットクロックを計数することによって水平アドレスを発生する水平アドレス発生回路とを備える。

【0021】P／S変換回路12は、パネル17の各画素（蛍光体）の並びに対応した順番に並んだシリアル信号を生成して、シリアル／パラレル（S／P）変換回路14に入力する。S／P変換回路14は、入力されたシリアル信号をパネル17における1行毎のパラレル信号に変換して、パルス幅変調器（PWM）／ドライバ15に入力する。PWM／ドライバ15は、R、G、B信号の輝度に応じたパルス幅を有するドライブパルスを生成し、パネル17の列電極に供給する。これによって、パネル17は列方向に駆動される。S／P変換回路14及びPWM／ドライバ15は、パネル17の列電極駆動回路である。

【0022】走査ドライバ16は、制御回路13からの水平、垂直アドレスに基づいて、パネル17を線順次走査するための走査パルスを発生し、パネル17の行電極に供給する。これによって、パネル17は行方向に駆動される。走査ドライバ16は、パネル17の行電極駆動

回路である。

【0023】以上により、パネル17に対し、走査ドライバ16が選択的に走査パルスを供給した行で、PWM／ドライバ15よりドライブパルスが供給された画素のみがドライブパルスのパルス幅に応じた期間だけ電子を放出し、蛍光体が発光する。走査ドライバ16が走査パルスを供給する行を順次移動させることにより、パネル17が行方向に順次走査され、パネル17上に2次元画像が形成されることとなる。なお、PWM／ドライバ15によるパルス幅変調の代わりに電圧変調を用いた場合には、ドライブパルスは映像信号の輝度に応じた電圧値となる。

【0024】次に、本発明となるマトリクス型画像表示装置の第1～第3実施例について順に説明する。

【0025】＜第1実施例＞まず、第1実施例で用いるパネルの構成について説明する。図1において、パネル170は、行電極が左右の略中央部で分断されることにより、左右方向に2つのブロックに分割されており、左側のブロック170aと右側のブロック170bとが一体となって1つのパネル170を形成している。そして、後述するように、左右のブロック170a、170b毎に行電極駆動回路及び列電極駆動回路を備えることに特徴がある。さらに、ブロック170aを主画面用とし、ブロック170bを副画面用とすれば、主画面用と副画面用のブロック170a、170bそれぞれに主画面映像信号用の映像信号処理回路と副画面映像信号用の映像信号処理回路を独立して設けていることに特徴がある。これにより、左右のブロック170a、170bはそれぞれ独立して画像が表示されることとなる。

【0026】図1において、デコーダ11aには主画面映像信号であるコンポジット映像信号が入力され、デコーダ11aは、3原色の輝度信号（R、G、B）及び水平、垂直同期信号を分離して出力する。R、G、B信号は水平垂直圧縮伸長回路18aに入力される。水平垂直圧縮伸長回路18aは、主画面用のブロック170aの画素数に合わせて、入力されたR、G、B信号を水平方向もしくは垂直方向に圧縮もしくは伸長する。水平垂直圧縮伸長回路18aの出力はP／S変換回路12a及び選択回路19に入力される。

【0027】デコーダ11a、水平垂直圧縮伸長回路18a、P／S変換回路12a、制御回路13aは、主画面映像信号を処理する映像信号処理回路である。S／P変換回路14a及びPWM／ドライバ15aは主画面用のブロック170aを駆動する列電極駆動回路であり、走査ドライバ16aは主画面用のブロック170aを駆動する行電極駆動回路である。P／S変換回路12a、制御回路13a、S／P変換回路14a、PWM／ドライバ15a、走査ドライバ16aの動作は図4と同様であるので、その説明を省略する。選択回路19の動作は後述する。

【0028】一方、デコーダ11bには副画面映像信号であるコンポジット映像信号が入力され、デコーダ11bは、3原色の輝度信号(R, G, B)及び水平、垂直同期信号を分離して出力する。R, G, B信号は水平垂直圧縮伸長回路18bに入力される。水平垂直圧縮伸長回路18bは、副画面用のブロック170bの画素数に合わせて、入力されたR, G, B信号を水平方向もしくは垂直方向に圧縮もしくは伸長する。水平垂直圧縮伸長回路18bの出力は選択回路19を介してP/S変換回路12bに入力される。

【0029】デコーダ11b、水平垂直圧縮伸長回路18b、P/S変換回路12b、制御回路13bは、副画面映像信号を処理する映像信号処理回路である。S/P変換回路14b及びPWM/ドライバ15bは副画面用のブロック170bを駆動する列電極駆動回路であり、走査ドライバ16bは副画面用のブロック170bを駆動する行電極駆動回路である。P/S変換回路12b、制御回路13b、S/P変換回路14b、PWM/ドライバ15b、走査ドライバ16bの動作は図4と同様であるので、その説明を省略する。

【0030】以上の構成において、パネル170に主画面映像信号と副画面映像信号との複合画面を表示するには、選択回路19は、水平垂直圧縮伸長回路18bの出力を選択してP/S変換回路12bに供給する。この場合、左側のブロック170aには主画面映像信号が表示され、右側のブロック170bには副画面映像信号が表示されることになる。主画面映像信号用の映像信号処理回路と副画面映像信号用の映像信号処理回路とが入力段より独立しているので、複合画面表示する際の同期変換処理が全く不要である。従って、主画面映像信号と副画面映像信号とのフォーマットがNTSC画像信号とパソコン画像信号の如く異なっても、水平周波数やフレーム(フィールド)周波数が異なっても、画質劣化なく複合画面を表示することができる。また、同期変換処理のための画像メモリも不要である。

【0031】さらに、以上の構成においては、単一画面を表示することもできる。パネル170に主画面映像信号を単一画面として表示するには、選択回路19は、水平垂直圧縮伸長回路18aの出力を選択してP/S変換回路12bに供給すればよい。水平垂直圧縮伸長回路18aにおいてパネル170全体の画素数に合わせて、入力されたR, G, B信号を水平方向もしくは垂直方向に圧縮もしくは伸長する。そして、ブロック170aに表示すべき部分の信号はそのままP/S変換回路12aに入力し、ブロック170bに表示すべき部分の信号は選択回路19を介してP/S変換回路12bに入力する。これによって、単一画面も表示可能である。

【0032】＜第2実施例＞図2に示す第2実施例で用いるパネル171は、行電極が左右の略中央部で分断され、かつ、列電極も上下の略中央部で分断されており、

4つのブロックに分割されている。左上側のブロック171aと右上側のブロック171bと左下側のブロック171cと右下側のブロック171dが一体となって1つのパネル171を形成している。そして、4つのブロック171a～171d毎に行電極駆動回路及び列電極駆動回路を備え、4つのブロック171a～171dそれぞれに主画面映像信号もしくは副画面映像信号用の映像信号処理回路を独立して設けていることに特徴がある。これにより、4つのブロック171a～171dはそれぞれ独立して画像が表示されることとなる。

【0033】図2において、左上側のブロック171aを駆動するS/P変換回路14a及びPWM/ドライバ15aよりなる列電極駆動回路と走査ドライバ16aよりなる行電極駆動回路に対して、デコーダ11a、水平垂直圧縮伸長回路18a、P/S変換回路12a、制御回路13aよりなる主画面映像信号用の映像信号処理回路Aが接続されている。右上側のブロック171bを駆動するS/P変換回路14b及びPWM/ドライバ15bよりなる列電極駆動回路と走査ドライバ16bよりなる行電極駆動回路に対して、第1の副画面映像信号用の映像信号処理回路Bが接続されている。

【0034】さらに、左下側のブロック171cを駆動するS/P変換回路14c及びPWM/ドライバ15cよりなる列電極駆動回路と走査ドライバ16cよりなる行電極駆動回路に対して、第2の副画面映像信号用の映像信号処理回路Cが接続されている。右下側のパネル171dを駆動するS/P変換回路14d及びPWM/ドライバ15dよりなる列電極駆動回路と走査ドライバ16dよりなる行電極駆動回路に対して、第3の副画面映像信号用の映像信号処理回路Dが接続されている。なお、副画面映像信号用の映像信号処理回路B～Dの構成は、主画面映像信号用の映像信号処理回路Aと同様である。

【0035】以上の第1実施例では、行電極を分割してパネルを左右に2分割し、第2実施例では、行電極及び列電極の双方を分割してパネルを4分割したが、列電極を分割してパネルを上下に2分割してもよく、行電極及び列電極の少なくとも一方をさらに多く分断して、パネルをさらに多くの複数のブロックに分割してもよい。また、分割したパネルのブロックそれぞれの大きさを互いに異ならせてもよい。どのように分割するかは、主画面映像信号と副画面映像信号とをどのように表示するかによって決定すればよく、分割数や分割の仕方は適宜設定すればよい。さらに、各ブロック170a、170b、171a～171dのいずれかにおいて、表示する映像信号を固定するのであれば、水平垂直圧縮伸長回路は全ての映像信号処理回路に設ける必要はない。

【0036】＜第3実施例＞第1、第2実施例では、線順次走査方式のパネルを用いた表示装置について説明したが、第3実施例は、プラズマディスプレイパネルのよ

うな面順次走査方式の表示装置の場合を示す。プラズマディスプレイパネルの駆動方法はよく知られているので、ここでは説明な詳細を省略する。プラズマディスプレイパネルは、アドレス電極とX電極とY電極との3電極構造になっており、列電極と一方の行電極でアドレス駆動を行い、その後、行方向のX、Y電極間に交流電圧を印加し、維持放電を行って表示する。

【0037】従来においては、プラズマディスプレイパネルの左右にX、Y電極を引き出していたのに対し、本発明においては、図3に示すように、電極を略中央部で切断して分割し、X、Y電極共に左右に引き出す構造とする。

【0038】図3において、プラズマディスプレイパネル172（以下、パネル172）は、行電極が左右の略中央部で分断されることにより、左右方向に2つのブロックに分割されており、左側のブロック172aと右側のブロック172bとが一体となって1つのパネル172を形成している。左側のブロック172aには、アドレスドライバ20aが接続され、右側のブロック172bには、アドレスドライバ20bが接続されている。左側のブロック172aには、Xドライバ21aとYドライバ22aが電極の行方向に交互に接続され、右側のブロック172bにも、Xドライバ21bとYドライバ22bが電極の行方向に交互に接続されている。そして、左右のブロック172a、172bそれぞれに主画面映像信号用の映像信号処理回路A'と副画面映像信号用の映像信号処理回路B'を独立して設けている。これにより、左右のブロック172a、172bはそれぞれ独立して画像が表示されることとなる。

【0039】ところで、第1、第3実施例のように、パネル170、172の行電極だけを分割した場合には、列電極駆動回路を左右方向に分割するだけであるので、列電極駆動回路を構成する集積回路（IC）の数は従来と実質的に同一であり、コストアップとならない。行電極駆動回路は左右のブロック170a、170b、172a、172bで必要となるため、行電極駆動回路を構成するICの数は2倍となる。但し、行電極抵抗による電圧降下を半分にすることができるという副次的効果を奏する。

【0040】

【発明の効果】以上詳細に説明したように、本発明のマトリクス型画像表示装置は、マトリクス型表示パネルとして、行電極及び列電極の少なくとも一方を分断するこ

とにより複数のブロックに分割したパネルを用い、複数のブロックそれぞれに対し、マトリクス型表示パネルの各ブロックを駆動する駆動回路と、この駆動回路によって表示すべき映像信号を処理する映像信号処理回路とを設けて構成したので、複数のブロックで互いに異なった画像を表示することができる。また、画質劣化なく、大容量の画像メモリも必要なく、水平、垂直走査周波数が互いに異なったり、インタレース信号とノンインタレース信号のように、また、NTSC画像信号とパソコン画像信号のように、異なった信号フォーマットの複数の画像も複合画面表示することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すブロック図である。

【図2】本発明の第2実施例を示すブロック図である。

【図3】本発明の第3実施例を示すブロック図である。

【図4】マトリクス型画像表示装置の基本的構成例を示すブロック図である。

【図5】陰極線管を用いて複合画面表示する画像表示装置の構成例を示すブロック図である。

【図6】図5中の水平圧縮回路1の具体的構成を示すブロック図である。

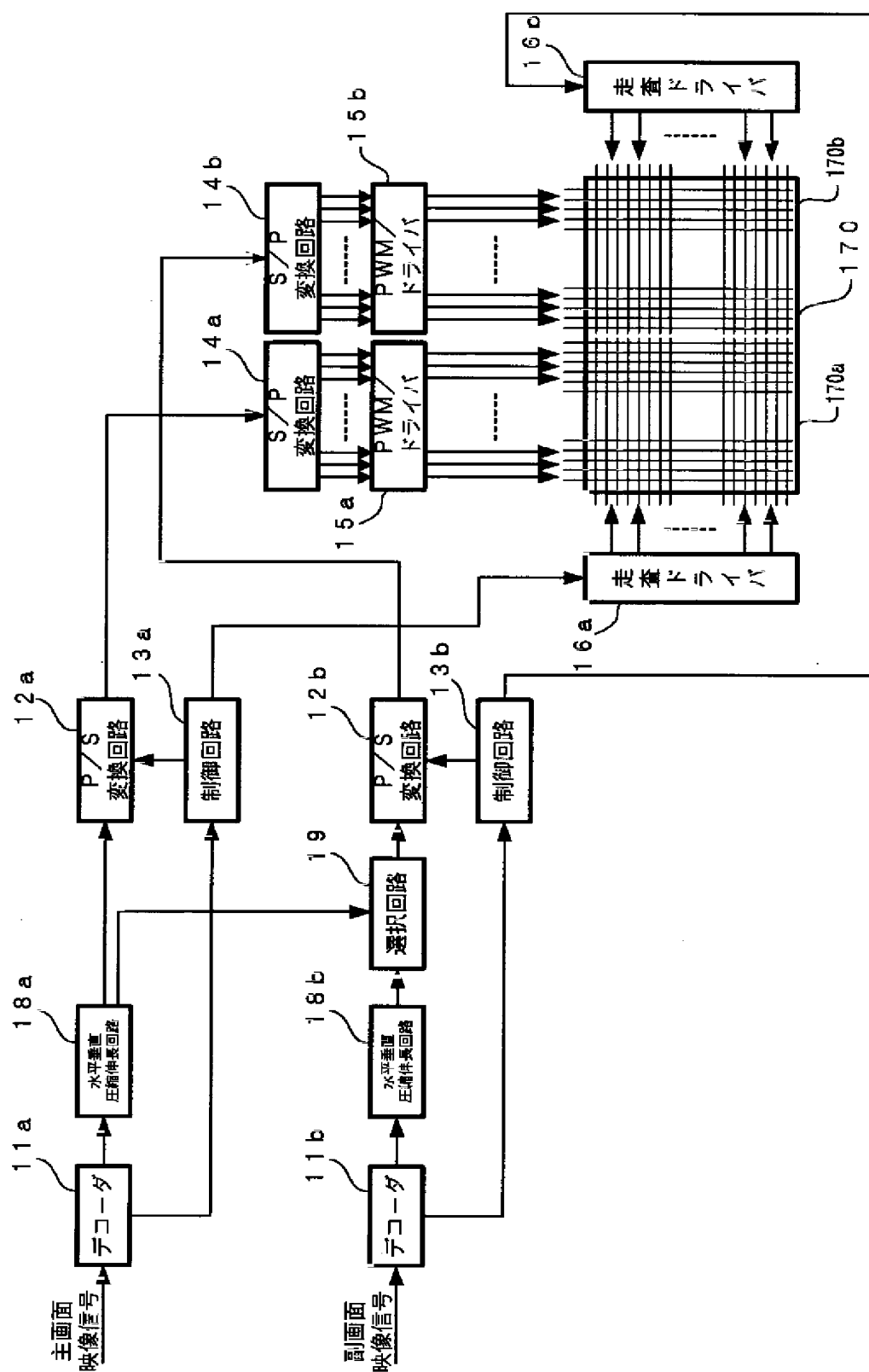
【図7】図5中のスキャンコンバータ回路2の具体的構成を示すブロック図である。

【図8】複合画面の表示例を示す図である。

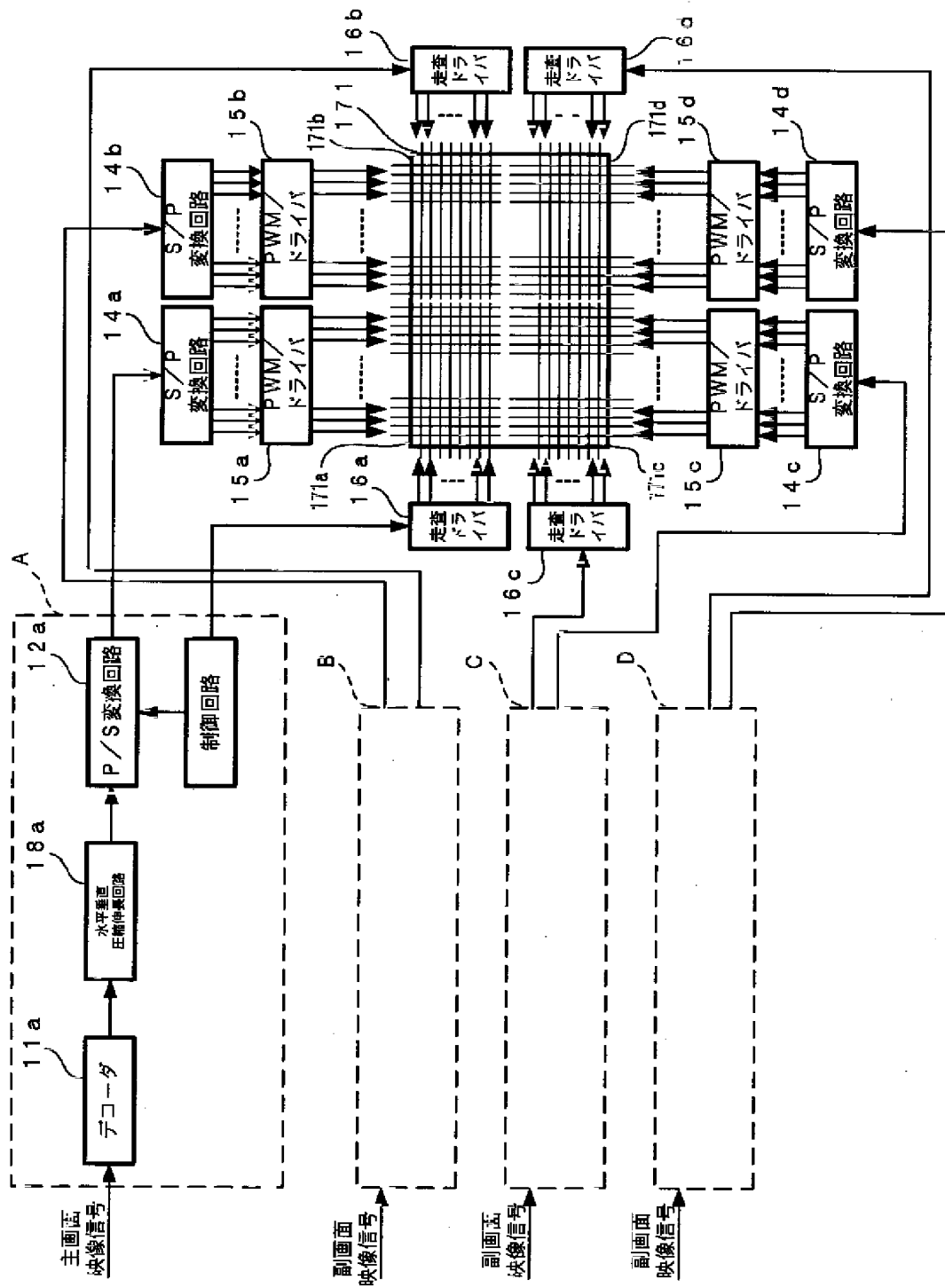
【符号の説明】

- 11a、11b デコーダ
- 12a、12b パラレル／シリアル変換回路
- 13a、13b 制御回路
- 14a～14d シリアル／パラレル変換回路（列駆動回路）
- 15a～15d パルス幅変調器／ドライバ（列駆動回路）
- 16a～16d 走査ドライバ（行駆動回路）
- 18a、18b 水平垂直圧縮伸長回路
- 19 選択回路
- 20a、20b アドレスドライバ
- 21a、21b Xドライバ
- 22a、22b Yドライバ
- 170～172 マトリクス型表示パネル
- 170a、170b、171a～171d、172a、172b ブロック
- A～D、A'、B' 映像信号処理回路

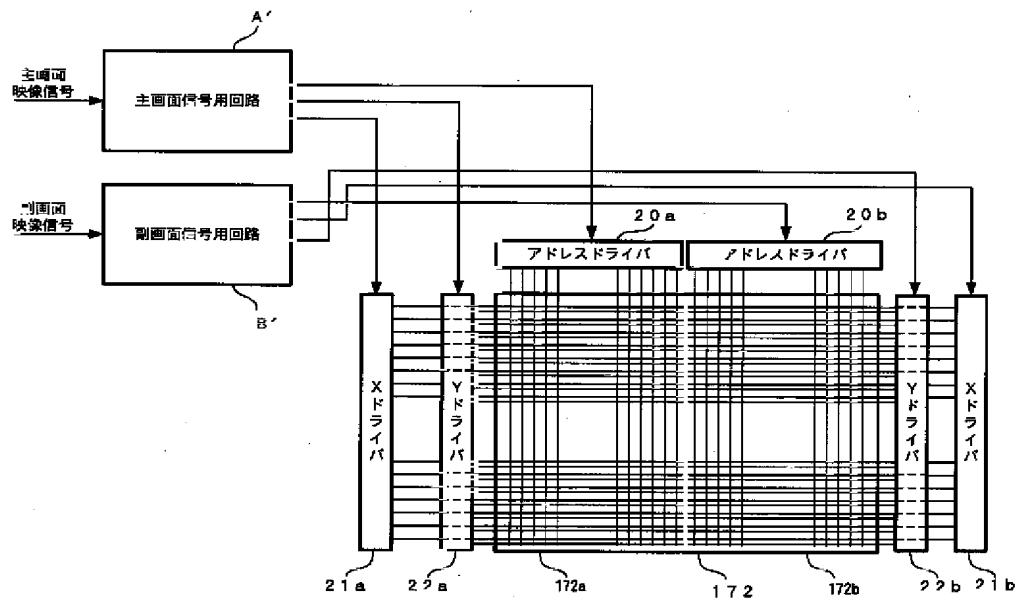
【图 1】



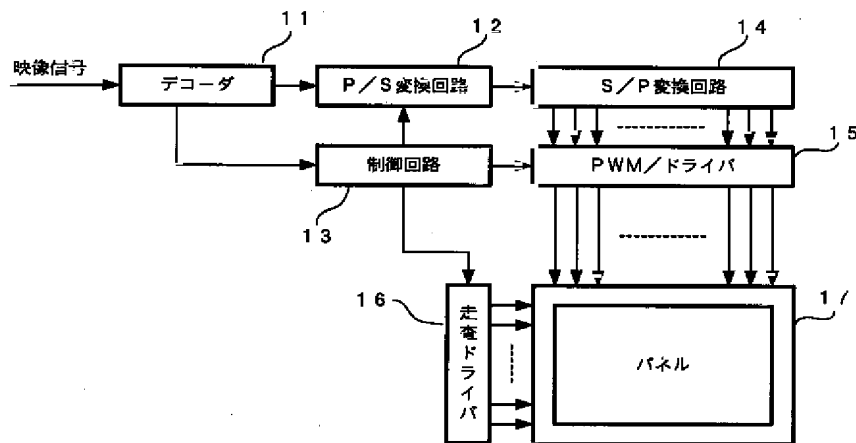
【図2】



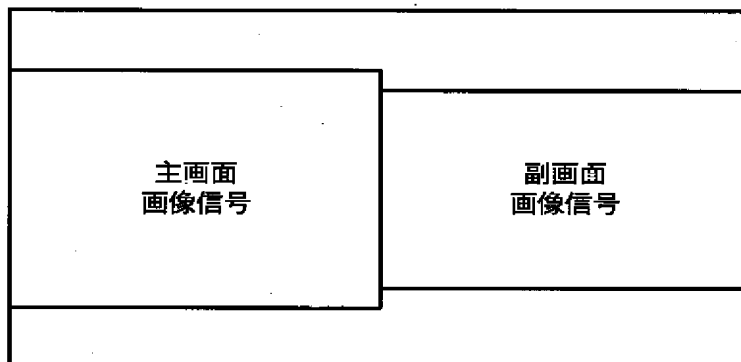
【図3】



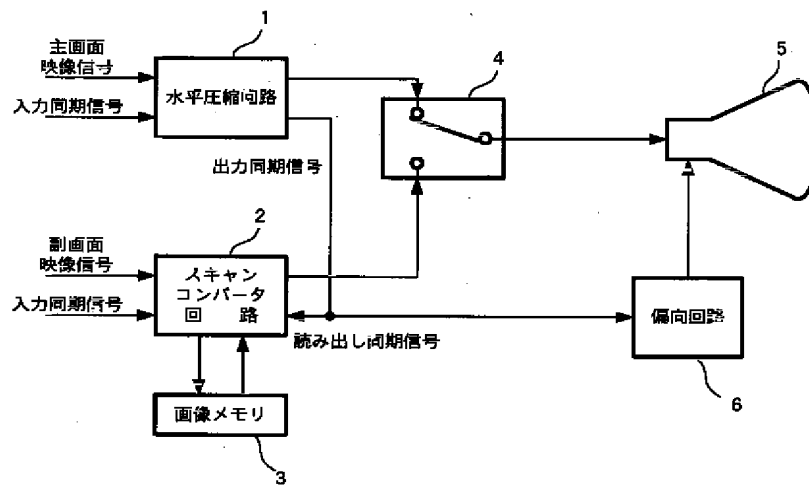
【図4】



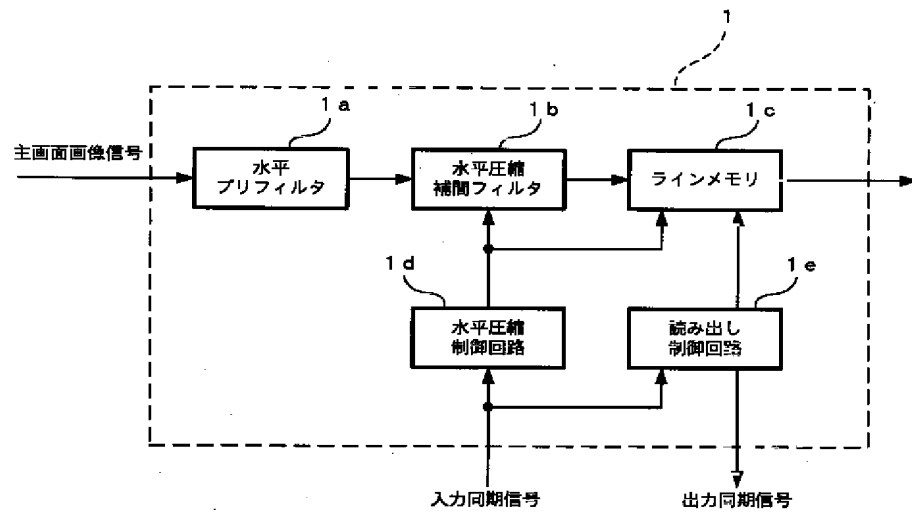
【図8】



【図5】



【図6】



【図7】

